

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-194923

(P2003-194923A)

(43) 公開日 平成15年7月9日 (2003.7.9)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマード\* (参考)

G 0 1 S 13/10

G 0 1 S 13/10

5 J 0 7 0

// G 0 1 S 7/292

7/292

B

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願2001-398580 (P2001-398580)

(22) 出願日 平成13年12月27日 (2001. 12. 27)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 神戸 心一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 稲常 茂穂

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

Fターム(参考) 5J070 AB01 AC02 AD02 AH02 AH04

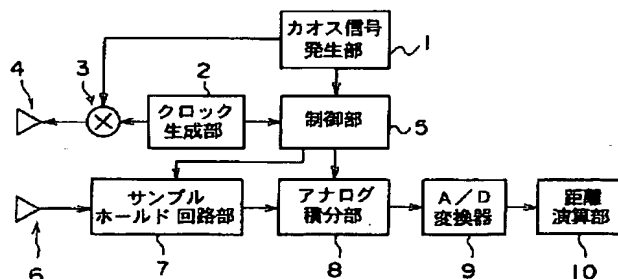
AH31

(54) 【発明の名称】 レーダ装置及び距離測定方法

(57) 【要約】

【課題】 低速で、安価なA/D変換器を利用でき、また、ハードウェア規模を低減できるレーダ装置及び距離測定方法を提供する。

【解決手段】 カオス信号によりクロック信号を変調して得た送信信号を送信し、その反射波を受信して、所定サンプリングタイミングで2N個の電圧信号としてサンプリングし、2N個の電圧信号から、制御部5で検出したカオス信号の立上がりエッジの時点での電圧信号からN個分の電圧信号を、アナログ積分部8にて、前回のN個分の電圧信号に累算して積分し、その結果をデジタル信号に変換して、遅延時間を算出し、距離を演算するレーダ装置及び距離測定方法である。



**【特許請求の範囲】**

**【請求項 1】** カオスの信号を 2 値化して得たパルス信号を、カオス信号として生成し、当該カオス信号により搬送波を変調して得た信号波を放射し、その反射波を受信して得たベースバンド信号と前記カオス信号との相関により目標物との距離を測定するレーダ装置であって、所定の基準時刻以降における前記カオス信号の立ち上がりエッジの時刻を検出し、

前記ベースバンド信号を電圧信号として事前に定められた周期でサンプリングして得た複数の電圧信号を保持し、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号以降の N 個 (N は 1 以上の整数) の電圧信号を取り出し、積分回路により前記取り出した N 個の電圧信号をそれぞれ前回までの累算結果として保持している N 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して N 個の累算値を得て、前記 N 個の累算値をそれぞれ N 個のデジタル値に変換し、

当該 N 個のデジタル値に基づいて、目標物までの距離を演算することを特徴とするレーダ装置。

**【請求項 2】** 前記サンプリングして得た複数の電圧信号を保持する複数の保持手段と、当該保持手段に対応して設けられるスイッチ手段と、を有し、当該保持手段が、少なくとも 2 N 個の電圧信号を保持するよう、少なくとも 2 N 個設けられ、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号を保持する k (k は 1 以上 N 以下の整数) 番目の前記保持手段、に対応する k 番目の前記スイッチ手段から順に k + N 番目のスイッチ手段までを所定の周期でオンとして、各スイッチ手段に対応して設けられた保持手段に保持された電圧信号を N 個、順次出力するサンプルホールド部を含み、

当該サンプルホールド部が出力する N 個の電圧信号を前回までの累算結果として保持している N 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して N 個の累算値を得て、前記 N 個の累算値をそれぞれ N 個のデジタル値に変換し、当該 N 個のデジタル値に基づいて、目標物までの距離を演算することを特徴とする請求項 1 に記載のレーダ装置。

**【請求項 3】** 前記サンプリングして得た複数の電圧信号を保持する複数の保持手段と、当該保持手段に対応して設けられるスイッチ手段と、を有し、当該保持手段が、少なくとも N 個の電圧信号を保持するよう、少なくとも N 個設けられ、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号を保持する k (k は 1 以上 N 以下の整数) 番目の前記保持手段、に対応する k 番目の前記スイッチ手段から順に

(k + N) を N で除した余りの値に等しい、L 番目のスイッチ手段までを所定の周期でオンとして、各スイッチ

手段に対応して設けられた保持手段に保持された電圧信号を N 個、順次出力するサンプルホールド部を含み、当該サンプルホールド部が出力する N 個の電圧信号を前回までの累算結果として保持している N 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して N 個の累算値を得て、前記 N 個の累算値をそれぞれ N 個のデジタル値に変換し、当該 N 個のデジタル値に基づいて、目標物までの距離を演算することを特徴とする請求項 1 に記載のレーダ装置。

10 **【請求項 4】** カオスの信号を 2 値化して得たパルス信号を、カオス信号として生成し、当該カオス信号により搬送波を変調して得た信号波を放射し、その反射波を受信して得たベースバンド信号と前記カオス信号との相関により目標物との距離を測定する方法であって、所定の基準時刻以降における前記カオス信号の立ち上がりエッジの時刻を検出し、

前記ベースバンド信号を電圧信号として事前に定められた周期でサンプリングして得た複数の電圧信号を保持し、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号以降の N 個 (N は 1 以上の整数) の電圧信号を取り出し、積分回路により前記取り出した N 個の電圧信号をそれぞれ前回までの累算結果として保持している N 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して N 個の累算値を得て、前記 N 個の累算値をそれぞれ N 個のデジタル値に変換し、当該 N 個のデジタル値に基づいて、目標物までの距離を演算することを特徴とする距離測定方法。

30 **【発明の詳細な説明】**

**【0 0 0 1】**

**【発明の属する技術分野】** 本発明は、カオスコードを用いたレーダ装置及び距離測定方法に関する。

**【0 0 0 2】**

**【従来の技術】** 従来、カオスコードによりパルス幅を変更した信号 (カオス信号) を変調した信号波を用い、この信号波を空間に放射し、その反射波を受信して復調し、一定の周期で符号化して得た信号系列と、先に送信したカオス信号との相関演算を行って、特定のカオス信号を含む信号波が送信された時間と、その信号波が対象で反射されて反射波として受信された時間との差 (遅延時間) を測定する技術 (カオスレーダ技術) が開発されている。この技術の具体的内容は、例えば、イギリスの特許、GB2345149 号、「Time delay determination and determination of signal shift」等に記載されている。

**【0 0 0 3】** 従来のカオスレーダの基本的構成は、図 8 に示すように、カオス信号発生部 5 1 と、演算制御部 5 2 と、クロック生成部 5 3 と、混合器 5 4 と、送信アンテナ 5 5 と、受信アンテナ 5 6 と、A/D 変換器 5 7

と、カオス処理部 58 とから構成されている。

【0004】カオス信号発生部 51 は、カオスの信号（ノイズ信号）を 2 値化して得たパルス信号をカオス信号として出力する。ここで、カオス信号は、具体的には、パルス幅がカオスコードによって疑似ランダムに変更されたものとなっている。すなわち理想的には、このカオス信号の一部は、他の一部とは正確には重なり合わないようになっている。

【0005】演算制御部 52 は、カオス信号発生部 51 が出力するカオス信号を所定の周期でサンプリングしてディジタル信号に変換し、カオス処理部 58 に出力する。クロック生成部 53 は、所定周波数のクロック信号を出力している。混合器 54 は、カオス信号発生部 51 から入力されるカオス信号とクロック生成部 53 が出力するクロック信号とを混合して変調し、当該変調した信号を送信アンテナ 55 を介して放射する。

【0006】受信アンテナ 56 は、送信アンテナ 55 から放射された信号波が目標物に当たって反射した反射波を受信して復調し、ベースバンド信号として A/D 変換器 57 に出力する。A/D 変換器 57 は、所定の周期でベースバンド信号をディジタル値に変換して信号系列を生成し、カオス処理部 58 に出力する。そしてカオス処理部 58 が当該信号系列と演算制御部 52 から入力されるサンプリングされた信号（元のカオス信号）との相関演算を行い、処理結果としての遅延時間の情報を出力する。

【0007】ここでの相関処理の内容は次のようになる。すなわち、カオス信号のパルスを「-1」と「1」との値のいずれかをとる信号としておき、(a) ベースバンド信号から得られた信号系列からパルスの立ち上がりエッジを検出し、この立ち上がりエッジの時点基準時刻とする。(b) そしてこの基準時刻以降でカオス信号発生部 51 が出力するカオス信号の立ち上がりエッジを複数個検出し、各立ち上がりエッジの検出時刻と基準時刻との差 ( $\tau_1, \tau_2 \dots \tau_M$ ;  $M$  は正の整数) を演算する。(c) 基準時刻から当該演算された  $\tau_1, \tau_2, \dots \tau_M$  が経過した時から、それぞれ所定の期間、ベースバンド信号から得られた複数個 ( $N$  個;  $N$  は 1 以上の整数) のディジタル値 ( $d_1, d_2, \dots d_N$ ) からなる信号系列を記憶する。これにより  $M$  個の信号系列が記憶される。(d)  $M$  個の信号系列の各成分 ( $d_1, d_2, \dots d_N$ ) をそれぞれ累算し、累算信号系列 ( $S_1, S_2, \dots S_N$ ) を得る。(e) この累算信号系列内で、急激に値が変化する点にある  $S_k$  ( $1 \leq k \leq N$ ) を見だし、その  $S_k$  の位置に相当する時刻を遅延時間として出力する。

【0008】これは、基準時刻から送信するカオス信号の立ち上がりエッジまでの時刻だけずらしながら一定期間分の受信信号の系列を複数作り、この系列の位置を合わせて複数の受信信号系列を加算平均する（カオス積分

処理する) と、立ち上がりエッジが集中して受信されるタイミングでは加算平均の結果が「0」となり、その周囲ではパルスの符号が揃うので、負の値から急激に正の値に変化するようになり、それ以外の点ではパルスの符号がばらついて「0」となる、というようになることを利用したのである。

【0009】この原理に関する詳しい説明が、上述の GB 2345149 号特許に詳しく開示されているので、ここでのこれ以上の説明を省略する。

【0010】このような従来のカオスレーダでは、距離分解能は、カオスコードの周波数によって決まる。カオス信号と反射波から得られた信号系列との相関演算が細かく行われるからである。すなわち、カオスコードの周波数が高くなれば、距離分解能も向上する。そこで、高分解能のカオスレーダにおいては、カオスコードの周波数を高めるとともに演算制御部 52 におけるサンプリング周期と、A/D 変換器 57 の変換周期とを短く設定している。

【0011】

【発明が解決しようとする課題】このように、上記従来の高分解能のカオスレーダでは、例えば A/D 変換器の変換周期が短くなる結果、高速の変換能力が必要とされる。しかしながら A/D 変換器等の変換能力は、いかに高速なものであっても、用途によっては距離分解能に対して十分な能力とはいえない場合が多いのが現状である。例えば、受信した信号を A/D 変換器で直接受ける場合、100 MHz、12 bit 程度の高速な A/D 変換器が必要になる。このような A/D 変換器は、高価であり、レーダ装置の製造にコストがかかる。また、カオス積分処理をディジタル信号で行う場合、例えば 100 MHz 動作でかつ 12 bit 以上の多段の加算回路や数 100 bit のシフトレジスタ等が必要でありハードウェアの規模が大きくなる。

【0012】本発明は上記実情に鑑みて為されたもので、通常の変換能力を有した A/D 変換器等を利用して、距離分解能を向上でき、またハードウェア規模を縮小できるレーダ装置及び距離測定方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記従来例の問題点を解決するために、本発明は、カオスの信号を 2 値化して得たパルス信号を、カオス信号として生成し、当該カオス信号により搬送波を変調して得た信号波を放射し、その反射波を受信して得たベースバンド信号と前記カオス信号との相関により目標物との距離を測定するレーダ装置であって、所定の基準時刻以降における前記カオス信号の立ち上がりエッジの時刻を検出し、前記ベースバンド信号を電圧信号として事前に定められた周期でサンプリングして得た複数の電圧信号を保持し、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に

対応する電圧信号以降の $N$ 個 ( $N$ は1以上の整数) の電圧信号を取り出し、積分回路により前記取り出した $N$ 個の電圧信号をそれぞれ前回までの累算結果として保持している $N$ 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して $N$ 個の累算値を得て、前記 $N$ 個の累算値をそれぞれ $N$ 個のデジタル値に変換し、当該 $N$ 個のデジタル値に基づいて、目標物までの距離を演算することとしたものである。

【0014】また、本発明は、前記サンプリングして得た複数の電圧信号を保持する複数の保持手段と、当該保持手段に対応して設けられるスイッチ手段と、を有し、当該保持手段が、少なくとも $2N$ 個の電圧信号を保持するよう、少なくとも $2N$ 個設けられ、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号を保持する $k$  ( $k$ は1以上 $N$ 以下の整数) 番目の前記保持手段、に対応する $k$ 番目の前記スイッチ手段から順に $k+N$ 番目のスイッチ手段までを所定の周期でオンとして、各スイッチ手段に対応して設けられた保持手段に保持された電圧信号を $N$ 個、順次出力するサンプルホールド部を含み、当該サンプルホールド部が出力する $N$ 個の電圧信号を前回までの累算結果として保持している $N$ 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して $N$ 個の累算値を得て、前記 $N$ 個の累算値をそれぞれ $N$ 個のデジタル値に変換し、当該 $N$ 個のデジタル値に基づいて、目標物までの距離を演算することとしたものである。

【0015】さらに本発明は、前記サンプリングして得た複数の電圧信号を保持する複数の保持手段と、当該保持手段に対応して設けられるスイッチ手段と、を有し、当該保持手段が、少なくとも $N$ 個の電圧信号を保持するよう、少なくとも $N$ 個設けられ、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号を保持する $k$  ( $k$ は1以上 $N$ 以下の整数) 番目の前記保持手段、に対応する $k$ 番目の前記スイッチ手段から順に $(k+N)$ を $N$ で除した余りの値に等しい、 $1$ 番目のスイッチ手段までを所定の周期でオンとして、各スイッチ手段に対応して設けられた保持手段に保持された電圧信号を $N$ 個、順次出力するサンプルホールド部を含み、当該サンプルホールド部が出力する $N$ 個の電圧信号を前回までの累算結果として保持している $N$ 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して $N$ 個の累算値を得て、前記 $N$ 個の累算値をそれぞれ $N$ 個のデジタル値に変換し、当該 $N$ 個のデジタル値に基づいて、目標物までの距離を演算することとしたものである。

【0016】また、本発明は、カオス的信号を2値化して得たパルス信号を、カオス信号として生成し、当該カオス信号により搬送波を変調して得た信号波を放射し、その反射波を受信して得たベースバンド信号と前記カオス信号との相関により目標物との距離を測定する方法で

あって、所定の基準時刻以降における前記カオス信号の立ち上がりエッジの時刻を検出し、前記ベースバンド信号を電圧信号として事前に定められた周期でサンプリングして得た複数の電圧信号を保持し、前記立ち上がりエッジの時刻と前記基準時刻との差だけ経過した時点に対応する電圧信号以降の $N$ 個 ( $N$ は1以上の整数) の電圧信号を取り出し、積分回路により前記取り出した $N$ 個の電圧信号をそれぞれ前回までの累算結果として保持している $N$ 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して $N$ 個の累算値を得て、前記 $N$ 個の累算値をそれぞれ $N$ 個のデジタル値に変換し、当該 $N$ 個のデジタル値に基づいて、目標物までの距離を演算することとしたものである。

#### 【0017】

【発明の実施の形態】実施の形態1. 本発明の第1の実施の形態について図面を参照しながら説明する。本実施の形態に係るレーダ装置は、図1に示すように、カオス信号発生部1と、クロック生成部2と、混合器3と、送信アンテナ4と、制御部5と、受信アンテナ6と、サンプルホールド回路部7と、アナログ積分部8と、A/D変換器9と、距離演算部10と、を含んで構成されている。

【0018】カオス信号発生部1は、基準クロックを最大周波数とした、最大周波数以内の周波数の波形であるノイズ信号をノイズ発生源により発生し、このノイズ信号を2値化してカオス的にその幅が変化するパルス信号(カオス信号)を生成して出力する。クロック生成部2は、所定周波数のクロック信号を出力している。混合器3は、クロック信号をカオス信号で変調した送信信号を生成して出力する。送信アンテナ4は、この送信信号を放射する。

【0019】制御部5は、図2に示すように、クロック生成部2が出力するクロック信号を元に、カオス信号発生部1が出力するカオス信号の立ち上がりエッジを微分回路等を用いて検出するエッジ検出部11と、エッジ検出部11が検出した立ち上がりエッジの数 $N_x$ をカウントして出力するカウンタ12と、エッジ検出部11が立ち上がりエッジを検出した時刻(クロック信号により計時した時刻信号)を $N_x$ 個、エッジ発生時刻 $t_x$ として出力するエッジ検出時刻カウンタ13と、を含んでなる。

【0020】受信アンテナ6は、送信アンテナ4から放射され、目標物で反射された反射波を受信して復調し、ベースバンド信号を生成して出力する。サンプルホールド回路部7は、所定周期で $2N$ 個のベースバンド信号をサンプリングし、 $2N$ 個の電圧信号として保持する。また、このサンプルホールド回路部7は、保持した $2N$ 個の電圧信号のうち、制御部5が出力するエッジ発生時刻に相当する時点から以降の $N$ 個の電圧信号を順次出力する。このサンプルホールド回路部7の具体的構成と動作

とについては、後に詳しく述べる。

【0021】アナログ積分部8は、N個の積分回路と、各積分回路に対応して設けられるN個の積分結果保持器とを有し、サンプルホールド回路部7が順次出力するN個の電圧信号のうち、k番目 ( $1 \leq k \leq N$ ) の電圧信号をk番目の積分回路で受けて、当該k番目の積分回路に対応して設けられたk番目の積分結果保持器がその時点で保持している電圧信号と、当該受け入れたk番目の電圧信号とを加算(積分)して、k番目の積分結果保持器に改めて保持する。また、このアナログ積分部8は、所定の回数分だけ、積分を行った後、各積分結果保持器に保持されている積分の結果としてのN個の電圧信号(累算電圧信号)を順次出力する。このアナログ積分部8の構成と動作についても、後に詳しく述べる。

【0022】A/D変換器9は、アナログ積分部8が出力するN個の電圧信号をそれぞれN個のデジタル値に変換して出力する。距離演算部10は、これらN個のデジタル値を含んだデジタル信号系列の中で、デジタル値が急激に変化する位置を特定し、その位置に対応する時間を遅延時間として得て、この遅延時間に電波の伝播速度(通常は光速c)を乗じて距離情報として出力する。

【0023】ここで、サンプルホールド回路部7の構成及び動作について説明する。サンプルホールド回路部7は、図3に示すように、バッファ21と、サンプリングクロック発生部22と、入力側スイッチ23と、スイッチ群24と、ホールドコンデンサ群25と、出力側スイッチ26とを含んで構成されている。

【0024】バッファ21は、ベースバンド信号の入力を受けて、これを一時的に保持する。サンプリングクロック発生部22は、所望の測定距離分解能から決定されるサンプリング周期の矩形波を出力する。

【0025】入力側スイッチ23は、この矩形波が立ち上がるタイミングでオンとなってバッファ21が保持する電圧信号をスイッチ群24側に供給する。スイッチ群24は、所望の最大測定距離から決定される注目時間の2倍の時間に出力される、サンプリング周期の矩形波の数2N個に対応して設けられた2N個のスイッチ24-1~24-2Nを備えてなり、スイッチ24-1からスイッチ24-2Nまで、サンプリング周期の矩形波の立ち上がり時に順次オンとなる。また、このスイッチ群24の各スイッチ24-1~24-2Nは、電圧信号を出力する際には、制御部5が出力するエッジ発生時刻に対応する位置のスイッチ24-m ( $1 \leq m \leq 2N$ ) からN個だけ(スイッチ24-(m+N)まで)、所定の周期(以下、出力周期と呼ぶ)に同期して順次オンとなるよう制御される。

【0026】ホールドコンデンサ群25は、2N個のスイッチ24-1~24-2Nにそれぞれ対応して設けられた、2N個のホールドコンデンサ25-1~25-2

Nを備え、各ホールドコンデンサは、スイッチ群24のうちの対応するスイッチがオンとなっているときに、入力側スイッチ23がオンとなっていれば、入力側スイッチを介して供給される電圧信号を保持する。また、スイッチ群24のうちの対応するスイッチがオンとなっているときに、出力側スイッチ26がオンとなっていれば、保持している電圧信号を出力側スイッチ26を介して出力する。

【0027】出力側スイッチ26は、ホールドコンデンサ群25が保持している電圧信号を出力するときにオンとなるよう制御される。

【0028】従って、このサンプルホールド回路部7は、ベースバンド信号が図4(a)のように変化しているときに、図4(b)に示すようなサンプリングクロックとなる矩形波を生成し、その立ち上がりエッジで、各ホールドコンデンサに図4(c)に示すような電圧信号を保持する。そして、出力する際には、これらホールドコンデンサの各々に保持された電圧信号を順次出力する。

【0029】また、アナログ積分部8の構成と動作について次に説明する。アナログ積分部8は、図5に示すように、第1バッファ31と、第1スイッチ32と、第2スイッチ33と、第2バッファ34と、第3スイッチ35と、積分回路群36とを含んで構成され、積分回路群36は、所望の最大測定距離から決定される注目時間の間にサンプリングされる電圧信号の数Nに対応する、N個の入力スイッチ41-1, 41-2...41-Nと、入力スイッチ41の各々に対応して設けられる積分回路42-1, 42-2, ...42-Nと、積分回路42の各々に対応して設けられる出力スイッチ43-1, 43-2, ...43-N、及びホールドコンデンサ44-1, 44-2, ...44-Nと、を備えている。なお、入力スイッチ41と積分回路42と出力スイッチ43とホールドコンデンサ44とを含んでなるN個のユニットを以下、積分部36-1~36-Nと称する。

【0030】そしてアナログ積分部8は、積分をせずに電圧信号をそのまま出力する動作(演算しない動作)と、積分を実行する動作と、を行う。演算しない動作では、サンプルホールド回路部7から入力される電圧信号を第1バッファ31にて一時的に保持し、第1スイッチ32と第2スイッチ33とをオンとし、第3スイッチ35をオフとする。すると、第1バッファ31に保持された電圧信号が第2スイッチ33を介して第2バッファ34へ出力される。

【0031】積分を実行する動作では、サンプルホールド回路部7から入力される電圧信号を第1バッファ31にて一時的に保持し、第1スイッチ32を当初オフとし、第3スイッチ35をオンとする。ここでサンプルホールド回路部7側からN個の電圧信号が順次入力されるタイミングで、第1スイッチ32をオンとすると、N個

の電圧信号の各々が、積分回路群 36 に出力される。

【0032】ここで、 $k$  番目 ( $1 \leq k \leq N$ ) の電圧信号が入力されているとき、積分回路群 36 のうち、 $k$  番目の積分部 36-k の入力スイッチ 41-k をオンとするよう制御する。すると、当該  $k$  番目の電圧信号が、積分回路 42-k に導入され、当該積分回路 42-k にて保持されている電圧信号に累算され、その累算結果がホールドコンデンサ 44-k にて保持される。

【0033】またこのアナログ積分部 8 は、所定の A/D 変換タイミングで、各積分部 36-1 ~ 36-N の出力スイッチ 43 を順次オンとする指示を受けて、出力スイッチ 43-1 ~ 43-N を順次、所定の A/D 変換タイミングでオンとする。また、この A/D 変換タイミングで、第 2 スイッチ 33 をオンとする。すると、各積分部 36-1 ~ 36-N にて行われた累算 (積分) の結果が第 2 バッファ 34 に逐次、蓄積されるようになる。この第 2 バッファ 34 に逐次、蓄積される電圧信号は、A/D 変換器 9 により、A/D 変換タイミングで順次、デジタル値に変換されることとなる。

【0034】次に、本実施の形態に係るレーダ装置の動作について説明する。

【0035】カオス信号発生部 1 が出力するカオス信号は、クロック生成部 2 が出力するクロック信号と混合器 3 にて混合されて送信信号となり、送信アンテナ 4 によって、放射される。一方、制御部 5 が、クロック生成部 2 が出力するクロック信号を元に、カオス信号発生部 1 が出力するカオス信号の立ち上がりエッジを微分回路等を用いて検出し、検出した立ち上がりエッジの数  $N_x$  と、 $N_x$  個のエッジの検出時刻である、エッジ発生時刻  $t_x$  とを演算する。これら  $N_x$  個のエッジ発生時刻  $t_x$  は、例えば待ち行列にキューイングされる。

【0036】受信アンテナ 6 は、送信アンテナ 4 から放射され、目標物で反射された反射波を受信して復調し、ベースバンド信号を生成して出力する。このベースバンド信号は、サンプルホールド回路部 7 にて所定のサンプリング周期で  $2N$  個の電圧信号としてサンプリングされる。ここでサンプリング周期の周波数  $f$  は、所望の距離分解能に応じて決められ、また、所望の測定可能最大距離  $L$  を測定するのに必要な時間  $T = L/c$  (ここで  $c$  は光速) を用いて  $N = T \times f$  と定めることができる。従って、ここでは所望の測定可能最大距離内の目標物までの距離を所望の距離分解能で測定するのに要するベースバンド信号の電圧信号の数  $N$ 、の 2 倍の数の電圧信号をサンプリングすることになる。

【0037】そして  $2N$  個の電圧信号のサンプリングが完了すると、制御部 5 が図 6 に示すような動作を開始し、まず検出したエッジの数  $N_x$  が 0 であるか否かを調べる (S1)。ここで、エッジの数  $N_x$  が 0 であると (Yes であると)、制御部 5 は、所定の周期でサンプルホールド回路部 7 の出力側スイッチ 26 をオンし、こ

の周期で、 $2N$  個のスイッチ 24-1 ~ 24- $2N$  のそれぞれのスイッチ 24 を順次オンとしていく (ホールド結果出力処理; S2)。するとオンとなったスイッチ 24-k に対応して設けられたホールドコンデンサ 25-k に保持された、 $k$  番目の電圧信号が出力側スイッチ 26 を介してアナログ積分部 8 に順次出力される。

【0038】また制御部 5 は、アナログ積分部 8 に演算しない動作を行うよう、第 1 スイッチ 32 と、第 2 スイッチ 33 とをオンとする制御を行う (演算しない制御; S3)。これにより、サンプルホールド回路部 7 が順次出力する電圧信号が A/D 変換器 9 へそのまま出力される。ここで A/D 変換器 9 は当該電圧信号をデジタル信号に変換することなく破棄するようにしてもよい。そして、制御部 5 は処理を終了する。この処理 S2 ~ S3 により、サンプルホールド回路部 7 のホールドコンデンサ 25 の電圧信号がクリアされる。

【0039】処理 S1 において、検出したエッジの数  $N_x$  が 0 でない場合 (No の場合)、制御部 5 は、 $N_x$  をデクリメントし (S4)、キューイングされたエッジ発生時刻  $t_x$  を一つ取り出して、そのエッジ発生時刻  $t_x$  に相当する時点でサンプリングされた電圧信号 (ここでは  $Y$  番目の電圧信号とする) を特定する (S5)。これは、例えばエッジ発生時刻  $t_x$  (基準時点、すなわちサンプリング開始時点からの差で表現されているものとする) をサンプリング周波数  $f$  で乗じた値を整数化して得た値  $Y$  により決定できる。

【0040】そして、変数  $Z$  を  $Y$  に設定する (S6)、 $Z$  が  $Y+N$  ( $N$  は、サンプリングされている電圧信号の数の半分であり、積分部 36-1 ~ 36-N の数に等しい数) に一致しているか否かを調べ (S7)、一致していなければ (No ならば)、 $Z$  をインクリメントして (S8)、サンプルホールド回路部 7 の出力側スイッチ 26 をオンし、またスイッチ群 24 のうち、 $Z$  番目のスイッチ 24- $Z$  をオンとする。また、これとともに、アナログ積分部 8 の第 3 スイッチ 35 をオンとし (このとき、第 1 スイッチ 32 はオフとなるよう制御されている)、積分回路群 36 のうち、 $C$  番目 ( $C = (Z-Y)$  とする) の積分部 36- $C$  の入力スイッチ 41- $C$  をオンとする (S9)。これにより、 $C$  番目の積分部 36- $C$  の積分回路 42- $C$  にて、 $C$  番目に入力された ( $Y$  から  $C$  番目の) 電圧信号が、前回までに入力された電圧信号の累算値に加算される。

【0041】そして、制御部 5 は、処理 S9 でオンにした、出力側スイッチ 26 と、スイッチ 24- $Z$  と、第 3 スイッチ 35 と、入力スイッチ 41- $C$  とをオフとして (S10)、処理 S7 に戻って処理を続ける。また、制御部 5 は、処理 S7 において、 $Z = Y+N$  であれば (Yes ならば)、処理 S1 に戻って処理を続ける (A)。

【0042】この図 6 に示した制御部 5 の処理により、 $N$  個の積分部 36-1 ~ 36-N のそれぞれに基準時点

から $k$ 番目 ( $1 \leq k \leq N$ ) でのベースバンド信号に基づく電圧信号の累算値が保持されるようになる。そしてアナログ積分部8は、第2スイッチ33をオンとして、各積分部36-1~36-Nの出力スイッチ43-1~43-Nを順次、所定周期のA/D変換タイミングでオンとする。これにより、オンとなった出力スイッチ43に対応するホールドコンデンサ44の内容(累算結果)が、第2バッファ34に順次出力され、当該ホールドコンデンサ44の内容がクリアされる。

【0043】この第2バッファ34にて順次、一時的に保持された $N$ 個の累算結果は、それぞれ所定周期のA/D変換タイミングで、A/D変換器9によって $N$ 個のデジタル信号に変換され、距離演算部10は、これら $N$ 個のデジタル値を含んだデジタル信号系列の中で、デジタル値が急激に変化する位置を特定し、その位置に対応する時間を遅延時間として得て、この遅延時間に電波の伝播速度(通常は光速 $c$ )を乗じて距離情報として出力する。

【0044】ここで、A/D変換タイミングは、カオス信号の周波数に関わりなく設定でき、従って低速で、安価なA/D変換器を用いながら、距離分解能を向上できる。また、アナログ的に電圧信号の積分を行う積分器を用いだけなので、回路規模を縮小できる。

【0045】実施の形態2。次に、本発明の第2の実施の形態に係るレーダ装置について説明する。本実施の形態のレーダ装置は、既に説明した第1の実施の形態に係るレーダ装置と同様の構成、及び同様の動作を行うものであるが、サンプルホールド回路部7の構成及び動作が若干異なる。

【0046】そこで、以下、本実施の形態のサンプルホールド回路部7の構成及び動作について説明する。本実施の形態のサンプルホールド回路部7は、図7に示すように、バッファ21と、サンプリングクロック発生部22と、入力側スイッチ23と、スイッチ群24と、ホールドコンデンサ群25と、出力側スイッチ26とを含んで構成されている。ここで、スイッチ群24は、所望の最大測定距離から決定される注目時間の間に出力される、サンプリング周期の矩形波の数 $N$ 個に対応して設けられた $N$ 個のスイッチ24-1~24-2 $N$ を備えてなり、スイッチ24-1からスイッチ24-Nまで、サンプリング周期の矩形波の立ち上がり時に順次オンとなる。

【0047】また、ホールドコンデンサ群25は、 $N$ 個のスイッチ24-1~24-Nにそれぞれ対応して設けられた、 $N$ 個のホールドコンデンサ25-1~25-Nを備え、各ホールドコンデンサは、スイッチ群24のうちの対応するスイッチがオンとなっているときに、入力側スイッチ23がオンとなっていれば、入力側スイッチを介して供給される電圧信号を保持する。また、スイッチ群24のうちの対応するスイッチがオンとなっている

ときに、出力側スイッチ26がオンとなっていれば、保持している電圧信号を出力側スイッチ26を介して出力する。

【0048】また、本実施の形態では、制御部5は、サンプルホールド回路部7のスイッチ24のいずれかをオンする処理(図6の処理S9)において、 $Z$ を $N$ で除した余りの値 $Z'$ をもって、スイッチ24- $Z'$ をオンとする。また、処理S10においては、スイッチ24- $Z'$ をオフとする。この処理によると、 $Y+1$ 番目から $N$ 番目までのスイッチ24- $k$  ( $1 \leq k \leq N$ )が順次オン/オフされ、次に、1番目から $Y$ 番目までのスイッチ24- $k$  ( $1 \leq k \leq N$ )が順次オン/オフされる。この実施の形態の構成によれば、サンプルホールド回路部7のスイッチ群24及びホールドコンデンサ群25の個数を1/2にでき、ハードウェア規模をより低減できる。

【0049】

【発明の効果】本発明によれば、カオス的信号を2値化して得たパルス信号を、カオス信号として生成し、当該カオス信号により搬送波を変調して得た信号波を放射し、その反射波を受信して得たベースバンド信号と前記カオス信号との相関により目標物との距離を測定するレーダ装置であって、所定の基準時刻以降における前記カオス信号の立ち上がりエッジの時刻を検出し、ベースバンド信号を電圧信号として事前に定められた周期でサンプリングして得た複数の電圧信号を保持し、立ち上がりエッジの時刻と基準時刻との差だけ経過した時点に対応する電圧信号以降の $N$ 個( $N$ は1以上の整数)の電圧信号を取り出し、積分回路により取り出した $N$ 個の電圧信号をそれぞれ前回までの累算結果として保持している $N$ 個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行して $N$ 個の累算値を得て、この $N$ 個の累算値をそれぞれ $N$ 個のデジタル値に変換し、当該 $N$ 個のデジタル値に基づいて、目標物までの距離を演算するので、デジタル値への変換の周期が、カオス信号の周期(及びサンプリング周期)に依存することがなく、低速で、安価なA/D変換器を利用でき、また、ハードウェア規模を低減できる。

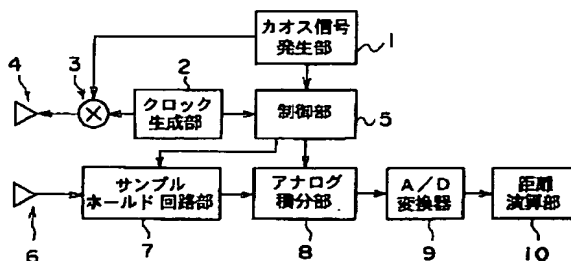
【0050】また、本発明によれば、このレーダ装置において、上記サンプリングして得た複数の電圧信号を保持する複数の保持手段と、当該保持手段に対応して設けられるスイッチ手段と、を有し、当該保持手段が、少なくとも $2N$ 個の電圧信号を保持するよう、少なくとも $2N$ 個設けられ、立ち上がりエッジの時刻と基準時刻との差だけ経過した時点に対応する電圧信号を保持する $k$ ( $k$ は1以上 $N$ 以下の整数)番目の保持手段、に対応する $k$ 番目のスイッチ手段から順に $k+N$ 番目のスイッチ手段までを所定の周期でオンとして、各スイッチ手段に対応して設けられた保持手段に保持された電圧信号を $N$ 個、順次出力するサンプルホールド部を含み、当該サンプルホールド部が出力する $N$ 個の電圧信号を前回までの

累算結果として保持しているN個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行してN個の累算値を得て、N個の累算値をそれぞれN個のデジタル値に変換し、当該N個のデジタル値に基づいて、目標物までの距離を演算するので、デジタル値への変換の周期が、カオス信号の周期（及びサンプリング周期）に依存することがなく、低速で、安価なA/D変換器を利用でき、また、ハードウェア規模を低減できる。

【0051】また、本発明によれば、このレーダ装置において、上記サンプリングして得た複数の電圧信号を保持する複数の保持手段と、当該保持手段に対応して設けられるスイッチ手段と、を有し、当該保持手段が、少なくともN個の電圧信号を保持するよう、少なくともN個設けられ、立ち上がりエッジの時刻と基準時刻との差だけ経過した時点に対応する電圧信号を保持するk（kは1以上N以下の整数）番目の保持手段、に対応するk番目のスイッチ手段から順に（k+N）をNで除した余りの値に等しい、L番目のスイッチ手段までを所定の周期でオンとして、各スイッチ手段に対応して設けられた保持手段に保持された電圧信号をN個、順次出力するサンプルホールド部を含み、当該サンプルホールド部が出力するN個の電圧信号を前回までの累算結果として保持しているN個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行してN個の累算値を得て、N個の累算値をそれぞれN個のデジタル値に変換し、当該N個のデジタル値に基づいて、目標物までの距離を演算するので、ハードウェア規模をさらに低減できる。

【0052】また、本発明によれば、カオス信号を2値化して得たパルス信号を、カオス信号として生成し、当該カオス信号により搬送波を変調して得た信号波を放射し、その反射波を受信して得たベースバンド信号と前記カオス信号との相関により目標物との距離を測定する方法であって、所定の基準時刻以降におけるカオス信号の立ち上がりエッジの時刻を検出し、ベースバンド信号を電圧信号として事前に定められた周期でサンプリングして得た複数の電圧信号を保持し、立ち上がりエッジの時刻と基準時刻との差だけ経過した時点に対応する電圧

【図1】



信号以降のN個（Nは1以上の整数）の電圧信号を取り出し、積分回路により前記取り出したN個の電圧信号をそれぞれ前回までの累算結果として保持しているN個の電圧信号に加算し、その加算した結果を保持する処理を複数回繰り返して実行してN個の累算値を得て、これらN個の累算値をそれぞれN個のデジタル値に変換し、当該N個のデジタル値に基づいて、目標物までの距離を演算するので、低速で、安価なA/D変換器を利用でき、また規模の小さいハードウェアで実現できる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るレーダ装置の構成ブロック図である。

【図2】 制御部の構成ブロック図である。

【図3】 本発明の第1の実施の形態に係るレーダ装置のサンプルホールド回路部の構成ブロック図である。

【図4】 サンプルホールド回路の動作を表す説明図である。

【図5】 本発明の第1の実施の形態に係るレーダ装置のアナログ積分部の構成ブロック図である。

【図6】 本発明の第1の実施の形態に係るレーダ装置の動作を表すフローチャート図である。

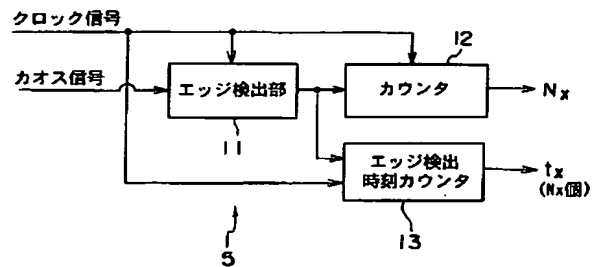
【図7】 本発明の第2の実施の形態に係るレーダ装置のサンプルホールド回路部の構成ブロック図である。

【図8】 従来のレーダ装置の構成ブロック図である。

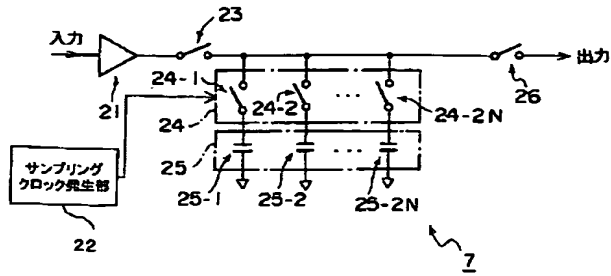
#### 【符号の説明】

1, 51 カオス信号発生部、2, 53 クロック生成部、3, 54 混合器、4, 55 送信アンテナ、5 制御部、6, 56 受信アンテナ、7 サンプルホールド回路部、8 アナログ積分部、9, 47 A/D変換器、10 距離演算部、11 エッジ検出部、12 カウンタ、13 エッジ検出時刻カウンタ、21, 31, 34 バッファ、23 入力側スイッチ、24 スイッチ群、25 ホールドコンデンサ群、26 出力側スイッチ、32 第1スイッチ、33 第2スイッチ、35 第3スイッチ、36 積分回路群、41 入力スイッチ、42 積分回路、43 出力スイッチ、44 ホールドコンデンサ、52 演算制御部、58 カオス処理部。

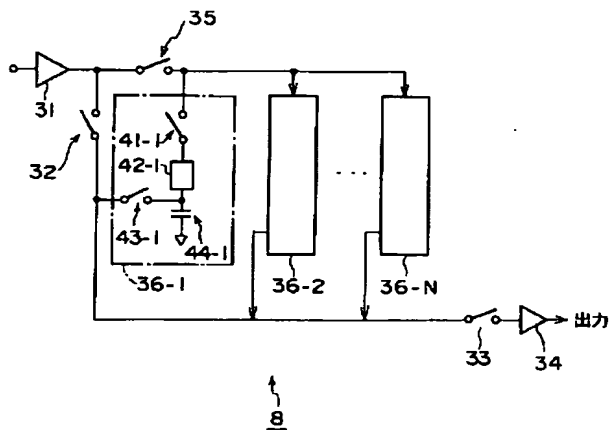
【図2】



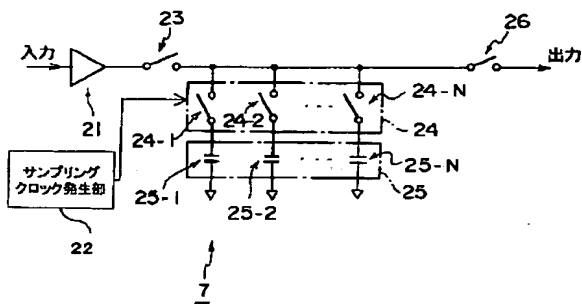
【図 3】



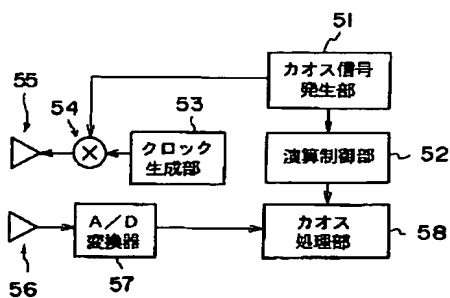
【図 5】



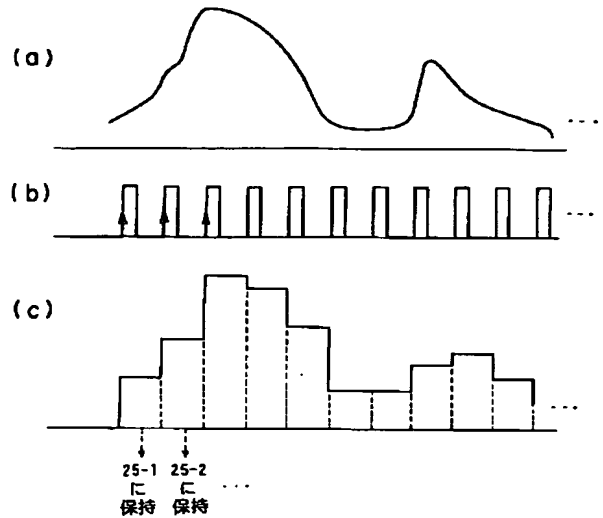
【図 7】



【図 8】



【図 4】



【図 6】

